

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-103356  
 (43)Date of publication of application : 13.04.2001

(51)Int.Cl. H04N 5/225  
 H04N 5/907  
 H04N 5/765

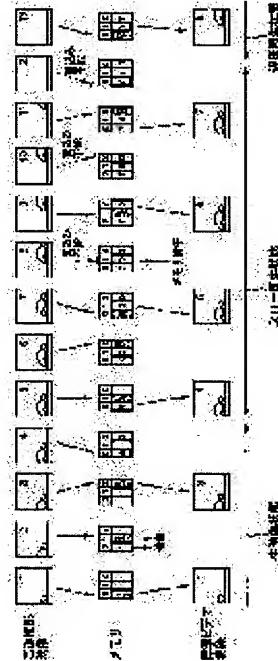
(21)Application number : 11-279482 (71)Applicant : INST OF PHYSICAL & CHEMICAL  
 RES  
 ICHIKAWA MICHINORI  
 (22)Date of filing : 30.09.1999 (72)Inventor : ICHIKAWA MICHINORI

## (54) HIGH-SPEED VIDEO CAMERA

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a low cost video camera that can pick up an image of an object at high speed and output a standard composite video signal.

**SOLUTION:** The high-speed video camera 1 is provided with a CCD sensor 11 that outputs the video signal of the object at a speed being a multiple of N of that of a standard video signal, an A/D converter circuit 17 that applies A/D conversion to its output signal, a memory 21 that cyclically stores the video signal at a speed being a multiple of N of that of the standard video signal, and a D/A converter circuit 23 that applies D/A conversion to the video signal read from the memory 21 and provides an output of the result as the standard video signal. The camera 1 is further provided with a memory control section 6 that generates a write/read address and supplies it to the memory 21, and receives an internal or external trigger signal to switch a raw video mode where the digital image data stored in the memory 21 are skippingly reproduced by aborting data not matching the read timing among the digital image data into a slow reproduction mode where all the digital image data stored in the memory 21 are read and reproduced.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-103356

(P2001-103356A)

(43)公開日 平成13年4月13日 (2001.4.13)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	デマコード <sup>8</sup> (参考)
H 04 N 5/225		H 04 N 5/225	Z 5 C 0 2 2
5/907		5/907	B 5 C 0 5 2
5/765		5/91	L 5 C 0 5 3

審査請求 未請求 請求項の数11 O.L (全14頁)

(21)出願番号 特願平11-279482

(22)出願日 平成11年9月30日(1999.9.30)

(71)出願人 000006792  
理化学研究所  
埼玉県和光市広沢2番1号  
(71)出願人 598070762  
市川道教  
東京都板橋区成増3-37-8-703  
(72)発明者 市川道教  
東京都板橋区成増3-37-8-703  
(74)代理人 100064285  
弁理士 佐藤一雄 (外3名)

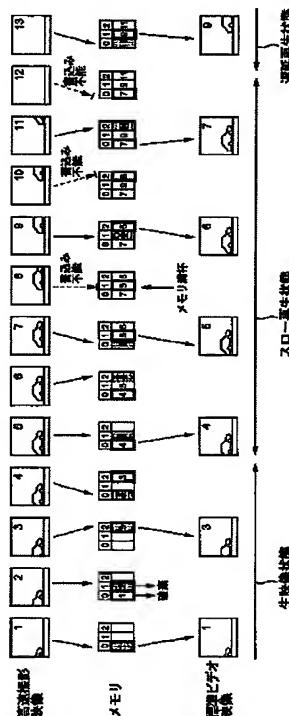
最終頁に続く

(54)【発明の名称】 高速ビデオカメラ

(57)【要約】

【課題】 高速で撮像できるとともに標準の複合ビデオ信号で出力できるビデオカメラを安価に提供する。

【解決手段】 標準ビデオ信号のN倍の速度で被写体の映像信号を出力するCCDセンサ11と、その出力信号をAD変換するAD変換回路17と、標準ビデオ信号のN倍の速度で映像信号をサイクリックに格納するメモリ21と、メモリ21から読み出された映像信号をDA変換して標準ビデオ信号で出力するDA変換回路23とを備えた高速ビデオカメラ1において、書込・読出アドレスを生成してメモリ21へ供給するとともに、内部または外部のトリガ信号を受けて、メモリ21に格納されたディジタル画像データのうち読み出タイミングに合致しないデータを廃棄して飛び飛びに再生する生映像モードから、メモリ21に格納されたディジタル画像データの全てを読み出して再生するスロー再生モードへ切換えるメモリ制御部6を備える。



## 【特許請求の範囲】

【請求項1】第1の周期で被写体を撮像する撮像手段と、前記撮像手段で撮像された被写体画像のそれぞれをデジタル画像データに変換するA/D変換手段と、デジタル画像データのそれぞれを格納する記憶手段と、前記記憶手段に格納されたデジタル画像データを前記第1の周期より長い第2の周期で読み出して、汎用の複合ビデオ信号に変換する汎用信号生成手段と、前記記憶手段に格納されたデジタル画像データのすべてを前記汎用信号生成手段に供給するか、前記記憶手段に格納されたデジタル画像データの一部を前記汎用信号生成手段に供給するかを切り替える再生モード選択手段と、を備え、前記記憶手段は、新たなデジタル画像データを格納するための空き領域がなくなると、古いデジタル画像データから順に新たなデジタル画像データに更新することを特徴とする高速ビデオカメラ。

【請求項2】前記記憶手段は、デジタル画像データのそれぞれを前記第1の周期で格納することを特徴とする請求項1に記載の高速ビデオカメラ。

【請求項3】前記再生モード選択手段は、前記記憶手段に格納されたデジタル画像データを所定間隔で間引いて読み出す第1のモードと、前記記憶手段に格納されたデジタル画像データのすべてを読み出す第2のモードと、前記記憶手段に格納されたデジタル画像データを前記記憶手段の容量に応じた期間だけ遅延させて読み出す第3のモードと、のいずれかを選択することを特徴とする請求項1または2に記載の高速ビデオカメラ。

【請求項4】前記再生モード選択手段は、初期状態では前記第1のモードを選択し、所定のトリガ信号が入力されると前記第2のモードを選択し、前記第2のモード選択時に前記記憶手段に空き領域がなくなると前記第3のモードを選択することを特徴とする請求項3に記載の高速ビデオカメラ。

【請求項5】前記記憶手段に格納されている複数のデジタル画像データを互いに比較して、画像の動き量が所定の基準量を超える箇所を検出する動き検出手段を備え、

前記動き検出手段により前記箇所が検出されると、前記再生モード選択手段に前記トリガ信号を供給することを特徴とする請求項4に記載の高速ビデオカメラ。

【請求項6】前記動き検出手段は、所望の被写体の所望の動作に応じて前記基準量を最適化する学習機能を有することを特徴とする請求項5に記載の高速ビデオカメラ。

【請求項7】前記再生モード選択手段は、前記第3のモードを選択した後、所定のリセット信号が入力されると、前記記憶手段に格納されている全デジタル画像データを消去して前記第1のモードを選択することを特徴

とする請求項4ないし6のいずれかに記載の高速ビデオカメラ。

【請求項8】前記再生モード選択手段が前記第3のモードを選択した時点からの時間経過を測定する時間測定手段をさらに備え、

前記時間測定手段により測定される時間が所定の時間に達すると前記再生モード選択手段に前記リセット信号を供給することを特徴とする請求項7に記載の高速ビデオカメラ。

10 【請求項9】前記再生モード選択手段が前記第3のモードを選択すると、前記記憶手段に新たなデジタル画像データを格納する時間間隔と、前記記憶手段に格納されたデジタル画像データを読み出す時間間隔とを調整して、徐々に前記記憶手段の空き容量を増やす空き容量調整手段をさらに備え、  
前記再生モード選択手段は、前記第3のモードを選択した後、前記空き容量調整手段が前記記憶手段のすべての記憶領域を空き状態にした時点で、前記第1のモードを選択することを特徴とする請求項7または8に記載の高速ビデオカメラ。

20 【請求項10】前記汎用信号生成手段は、前記デジタル画像データを前記複合ビデオ信号と互換性のあるアナログ映像信号に変換するD/A変換手段を含むことを特徴とする請求項1ないし9のいずれかに記載の高速ビデオカメラ。

【請求項11】前記汎用信号生成手段は、前記デジタル画像データを前記複合ビデオ信号と互換性のあるデジタル映像信号に変換するデジタルビデオ信号生成手段を含むことを特徴とする請求項1ないし10のいずれかに記載の高速ビデオカメラ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、高速ビデオカメラに関し、特に、映像の変化または外部の信号により自動的にスロー再生に切り替わる高速ビデオカメラに関する。

## 【0002】

【従来の技術】従来の高速ビデオカメラでは、CCDイメージセンサ素子やMOSイメージセンサ素子など、汎用の固体撮像素子を高速クロックで駆動することにより、また、高速撮影に適するように開発された専用の固体撮像素子を用いることにより、高速で動作する現象の撮像を実現していた。

【0003】これらの高速ビデオカメラは、デジタル信号で出力するものもアナログ信号で出力するものもあるが、いずれの信号についても、各メーカーで専用の方式による信号であるため、画像を得るために専用のデジタル処理回路や専用のビデオレコーダが別途に必要であった。

## 【0004】

【発明が解決しようとする課題】しかしながら、これらの機器は極めて高価であり、このため高速ビデオ撮影の技術が普及することに対する阻害要因となっていた。

【0005】本発明は上記事情に鑑みてなされたものであり、高速で撮像できるとともに標準の複合ビデオ信号で出力できるビデオカメラを安価に提供することにある。

#### 【0006】

【課題を解決するための手段】本発明は、以下の手段により上記課題の解決を図る。

【0007】即ち、本発明にかかる高速ビデオカメラは、第1の周期で被写体を撮像する撮像手段と、この撮像手段で撮像された被写体画像のそれぞれをデジタル画像データに変換するA/D変換手段と、デジタル画像データのそれぞれを格納する記憶手段と、この記憶手段に格納されたデジタル画像データを上記第1の周期より長い第2の周期で読み出して、汎用の複合ビデオ信号に変換する汎用信号生成手段と、上記記憶手段に格納されたデジタル画像データのすべてを上記汎用信号生成手段に供給するか、上記記憶手段に格納されたデジタル画像データの一部を上記汎用信号生成手段に供給するかを切り替える再生モード選択手段と、を備え、上記記憶手段は、新たなデジタル画像データを格納するための空き領域がなくなると、古いデジタル画像データから順に新たなデジタル画像データに更新することを特徴とする。

【0008】上記記憶手段は、デジタル画像データのそれぞれを上記第1の周期で格納することが好ましい。

【0009】また、上記再生モード選択手段は、上記記憶手段に格納されたデジタル画像データを所定間隔で間引いて読み出す第1のモードと、上記記憶手段に格納されたデジタル画像データのすべてを読み出す第2のモードと、上記記憶手段に格納されたデジタル画像データを上記記憶手段の容量に応じた期間だけ遅延させて読み出す第3のモードと、のいずれかを選択することが望ましい。

【0010】さらに、上記再生モード選択手段は、初期状態では上記第1のモードを選択し、所定のトリガ信号が入力されると上記第2のモードを選択し、上記第2のモード選択時に上記記憶手段に空き領域がなくなると上記第3のモードを選択すると好適である。

【0011】上記高速ビデオカメラは、上記記憶手段に格納されている複数のデジタル画像データを互いに比較して、画像の動き量が所定の基準量を超える箇所を検出する動き検出手段をさらに備え、上記動き検出手段により上記箇所が検出されると、上記再生モード選択手段に上記トリガ信号を供給することが好ましい。

【0012】上記動き検出手段は、所望の被写体の所望の動作に応じて上記基準量を最適化する学習機能を有することが望ましい。

10

【0013】また、上記再生モード選択手段は、上記第3のモードを選択した後、所定のリセット信号が入力されると、上記記憶手段に格納されている全デジタル画像データを消去して上記第1のモードを選択すると良い。

10

【0014】また、上記高速ビデオカメラは、上記再生モード選択手段が上記第3のモードを選択した時点からの時間経過を測定する時間測定手段をさらに備え、この時間測定手段により測定される時間が所定の時間に達すると上記再生モード選択手段に上記リセット信号を供給することが好ましい。

10

【0015】また、上記高速ビデオカメラは、上記再生モード選択手段が上記第3のモードを選択すると、上記記憶手段に新たなデジタル画像データを格納する時間間隔と、上記記憶手段に格納されたデジタル画像データを読み出す時間間隔とを調整して、徐々に上記記憶手段の空き容量を増やす空き容量調整手段をさらに備え、上記再生モード選択手段は、上記第3のモードを選択した後、上記空き容量調整手段が上記記憶手段のすべての記憶領域を空き状態にした時点で、上記第1のモードを選択するとさらに好適である。

20

【0016】上記高速ビデオカメラにおいて、上記汎用信号生成手段は、上記デジタル画像データを上記複合ビデオ信号と互換性のあるアナログ映像信号に変換するD/A変換手段、または上記デジタル画像データを上記複合ビデオ信号と互換性のあるデジタル映像信号に変換するデジタルビデオ信号生成手段を含む。

#### 【0017】

【発明の実施の形態】以下、本発明の実施の一形態について図面を参照しながら説明する。

30

【0018】図1は、本発明にかかる高速ビデオカメラの実施の一形態の概略構成を示すブロック図である。同図に示す高速ビデオカメラ1は、撮像部4とデジタル信号処理部5とタイミング生成回路2と同期信号生成回路3とメモリ制御部6とを備えている。

40

【0019】撮像部4は、CCDセンサ11と高速駆動回路13と増幅器15とAD変換回路17とを含む。高速駆動回路13は、標準ビデオ信号の画面のリフレッシュレート、例えばNTSC方式であれば60HzのN倍(Nは自然数)の高速クロック信号を生成し、このクロック信号に基づいてCCDセンサ11を駆動する。このクロック信号は、実用的には標準ビデオ信号のリフレッシュレートの2倍~10倍が望ましい。

【0020】CCDセンサ11は、高速駆動回路13により駆動されて被写体を上記速度で高速撮影し、その映像信号を出力する。

【0021】CCDセンサ11から出力された映像信号は、増幅器15で増幅された後、AD変換器によってデジタル化される。

50

【0022】デジタル信号処理部5は、メモリ21と

DA変換回路23と画像圧縮回路31とDV (Digital Video) インタフェース33とを含む。

【0023】タイミング生成回路2は、高速駆動回路13から高速クロック信号の供給を受け、同一の高速クロック信号をAD変換回路17に供給してその信号変換のタイミングを制御する。また、タイミング生成回路2は、高速クロック信号をメモリ21に供給し、後述するメモリ制御部6が供給するアドレスに従い、映像信号の書込と読出を制御する。タイミング生成回路2はまた、高速クロック信号を同期信号生成回路3に供給し、同期信号生成回路3は、この高速クロック信号に基づいて標準ビデオ信号のリフレッシュレートを有するクロック信号（以下、標準速度クロック信号という）を生成してDA変換回路23に供給し、その信号変換タイミングを制御する。

【0024】メモリ21は、後述するメモリ制御部6から書込アドレスの供給を受け、また、タイミング生成回路2から書込・読出制御信号の供給を受けて、CCDセンサ11の駆動周期と同一の周期でデジタル画像データを格納する。メモリ21は、複数枚分の映像を蓄積できる容量、例えば少なくとも約10枚分の容量を有し、できれば約200枚分の容量を有する半導体メモリが望ましい。デジタル画像データは、メモリ21の記憶領域内でサイクリックに格納され、記憶容量の限界に達すると、例えば最初に格納した記憶領域に上書きして格納される。

【0025】メモリ21から読み出されたデジタル画像データは、DA変換器によってアナログの標準ビデオ信号に変換され、増幅器8を経て増幅されて出力される。このとき、メモリ21から読み出され変換された全ての映像を連続再生すればスロー再生となるが、読出信号の周期に合致しないデジタル画像データを廃棄して飛び飛びに再生すれば通常速度での再生も可能である。また、記録および再生ともに通常速度を選択すれば、メモリ21への記録を飛び飛びに行い、この飛び飛びの映像を連続して再生することでもできる。

【0026】このように、本実施形態の高速ビデオカメラ1は、互いに周期の異なる撮影と再生を同時に処理することができる。

【0027】上述したアナログインターフェースに加え、本実施形態の高速ビデオカメラ1は、デジタルインターフェース7をも備えている。デジタル信号で出力する場合は、メモリ21から読み出されたデジタル信号がそのまま画像圧縮回路31に供給され、所定の圧縮処理を経てDVインターフェース33に供給されて表示装置や記録装置に出力される。即ち、アナログ出力を選択する場合は、DA変換回路23が汎用信号生成手段を構成し、この一方、デジタル出力を選択する場合は、画像圧縮回路31とDVインターフェース33が汎用信号生成手段を構成する。なお、本実施形態では、アナログイン

タフェースとデジタルインターフェース7の両方を備える場合について説明したが、これに限ることなく、要求仕様に応じてどちらか一方のみ備えることとしても良い。

【0028】メモリ制御部6は、本実施形態における再生モード選択手段に該当し、動き検出回路19と2つのマルチプレクサ41, 51と状態制御回路43と書込カウンタ45と読出カウンタ47と衝突検出回路49とリセットカウンタ55とを含む。

10 【0029】動き検出回路19は、AD変換回路17から供給される映像信号に基づいて後述する再生モードを切換えるための内部トリガ信号を生成する。

【0030】マルチプレクサ41は、図示しない外部のトリガ生成回路から供給される外部トリガ信号または動き検出回路19から供給される内部トリガ信号のいずれかを選択して状態制御回路43に供給する。

【0031】状態制御回路43は、マルチプレクサ41から供給される外部もしくは内部のトリガ信号、または図示しないカウンタから供給されるリセット信号を受けて後述する再生モードを切替え、これに対応した制御信号を書込カウンタ45および読出カウンタ47に供給する。

【0032】書込カウンタ45および読出カウンタ47は、状態制御回路43から供給される制御信号に基づいて書込アドレスと読出アドレスをそれぞれ生成してマルチプレクサ51に供給する。マルチプレクサ51は、書込アドレスと読出アドレスを交互に選択してメモリ21に供給する。また、衝突検出回路49は、書込カウンタ45および読出カウンタ47から書込アドレスと読出アドレスの供給を受けてこれらの生成タイミングを監視し、同一のタイミングで供給されたときは、アドレスが衝突したものとしてその旨を状態制御回路43に伝達する。リセットカウンタ55は、本実施形態において時間測定手段に相当する。この衝突検出回路49とリセットカウンタ55については後に詳述する。

【0033】本実施形態の高速ビデオカメラ1において、撮像およびメモリ21への画像データの書込は常に高速クロック信号の周期で処理され、この一方、画像データの読出とそのデジタル処理は、常に標準速度クロック信号の周期で処理される。従って、撮像タイミングと映像再生タイミングとの間でタイミングずれが発生する。本実施形態の高速ビデオカメラ1では、メモリ制御部6が複数の再生モード間で再生状態を適宜切換えることによりこのタイミングずれを処理している。

【0034】メモリ制御部6の具体的な処理手順について図面を参照しながら詳述する。

【0035】図2はメモリ制御部6によるメモリ21への書込・読出制御の一例を示す模式図である。同図において、紙面上方に記載した画面には、撮像部4により撮影された被写体の映像を模式的に示す。各画面内に記載

された番号は、記録された時刻を示すスタンプである。同図においてメモリは映像3枚分の記憶領域を有する。前述したとおり、メモリ21の容量は最低でも映像10枚分は必要であり、効果的には100枚程度が望まれ、また撮像速度も標準ビデオ信号の3倍以上が望まれるが、以下では説明を簡略化するため、メモリ容量が映像3枚分のみで、撮影速度は通常ビデオ信号の2倍であり、また、メモリの各記憶領域は1画面分の記録容量を有するものと仮定する。さらに、説明の簡便のため図2においてはメモリの各記憶領域にそれぞれ0から2までの番地を付す。この番地は実際のメモリ21では上位アドレスに該当し、下位アドレスは画像のドットに対応して画像のタイミングで高速にカウントされるが、簡素化のため、この説明は省略し、以下では上位アドレスだけを単に番地と呼ぶ。また、図2の紙面下方に記載した画面には、再生された標準ビデオ映像を模式的に示す。

【0036】まず、メモリ制御部6により選択される再生モードの具体的な内容について図2を参照しながら簡単に説明する。初期設定状態では、高速で撮影された映像は全てメモリに書き込まれる。メモリは循環的に利用され、古い映像は破棄されている。再生側は、通常速度（この例では2枚に1枚）で再生するので、読み出された映像は被写体本来の動作に対して飛び飛びになる。この状態を「生映像状態（第1のモード）」と呼ぶ。即ち、通常の撮像速度を有する普通のビデオカメラと同様にして撮影した映像がそのまま再生されている状態である。

【0037】次に、この状態で外部または内部で発生したトリガ信号がマルチプレクサ41を介して状態制御回路43に供給されると（図1参照）、飛び飛びだった再生をやめ、再生を連続的にする。即ち、記録された全ての映像を再生する。この状態が「スロー再生状態（第2のモード）」である。スロー再生状態では、メモリ21への書き込み速度が再生（読み出）速度よりも速いので、一定時間の経過によりメモリ21の空き領域がなくなつて、書き込めなくなる。一方、スロー再生によって1枚の映像が再生されてしまえば、そのデジタル画像データはメモリ21から破棄してもよい。そこで、破棄されて空きとなった記憶領域に新たにデジタル画像データを高速で書き込む。この場合、記録動作よりも再生動作が遅いので、記録可能な瞬間は飛び飛びになる。メモリ21の記憶領域が空いた瞬間に記録するので、結果としては、通常速度の記録・再生と同様に見える。但し、時間的にはメモリ21内に一巡で格納できる映像枚数分だけ、記録から再生に遅延がある状態になる。この状態を「遅延再生状態（第3のモード）」と呼ぶ。この状態では、次のトリガ信号を受け入れることができないので、適当な時期にリセット信号を受けて、生再生状態に強制移行する。リセット信号はメモリ制御部6に含まれるリセットカウンタ55（図1参照）が生成し、第3のモー

ドへの移行時点からの時間経過をカウントして、所定時間の経過によりリセット信号を生成して状態制御回路43に供給する。リセット信号を受けた状態制御回路43は、メモリ21に格納されたデジタル画像データを全て消去し、これにより再生モードは生再生状態に移行する。

【0038】図2に示すように、撮像画面1はメモリ番地0に格納され、それに続く撮像画面2はメモリ番地1へ、さらに撮像画面3はメモリ番地2へ書き込まれる。

10 この時間帯では、再生側は画面1をメモリ番地0から読み出して再生するが、読み出しが記録速度よりも遅いので、撮像画面2が記録されたメモリ番地1は読み出ことなく破棄される。画面1を最後まで表示したら、次に画面3を記録したメモリ番地2を読み出して再生する。この読み出しが合致しない映像を廃棄するためのアルゴリズムは非常に簡単に作成でき、読み側が新しい画面に番地を更新するタイミングで書き側で現在書き込んでいるメモリの番地をコピーするだけでよい。このコピーは、より具体的には図1に示す制御回路部5において、書きカウンタ45がそのカウンタ値を読みカウンタ47へ供給することにより処理する。このように、生映像状態では、全撮影映像の記録動作と、飛び飛びでの再生動作とを繰返す。

【0039】生映像状態は、トリガ信号によってスロー再生状態に移行する。スロー再生状態では、撮影映像の全画面を記録し、記録された全画面を再生する。即ち、図2において高速撮影映像4～7がメモリに順次記録され、これに並行して記録画面4～7がメモリ21から順次読み出され標準速度にて再生される。ここで、画面7がメモリ番地0に記録されていることに注意されたい。メモリ番地0はもともと画面4を記録していたものであるが、画面7を書き込むタイミングでは既に再生済みであり内容は破棄できるので、このメモリ番地0に画面7を上書きする。

40 【0040】この一方、画面8を書き込むタイミングでは、どのデータも破棄できないので、画面8を書き込むことはできない（書き込み不能）。撮影映像8は順番からするとメモリ番地1に書き込みを要求するが、メモリ番地1は記録画像5を再生中であるので、書き込み不可能であり、書き込みは許可されない。その結果、画像8は記録されない。

【0041】このような書き込めるか否かを判定するアルゴリズムは単純で、現在再生中の番地と次に記録しようとする番地とが等しければ、書き込みをしないというだけの判断でよい。この判断は、より具体的には図1に示す制御回路部5において、書きカウンタ45から供給されるカウンタ値と読みカウンタ47から供給されるカウンタ値とを衝突検出回路49が照合し、カウンタ値が等しい場合にその旨を状態制御回路43に供給する。状態制御回路43は、衝突検出回路49の検出結果を受け

て書きカウンタ 45 のカウント値を無効にする。

【0042】図2に戻り、画面8の書込不能の次のタイミングで、高速撮影映像9が再びメモリ番地1に書き込みを要求する。この時は再生側はメモリ番地2の記録画像6に移行しているので、画像9は番地1に書き込みを許可される。同様に、画像10は書込が許可されず、次の画像11は書込が許可される。即ち、スロー再生中にメモリ21が満杯になると、再生して空きになった番地に順次画像が記録される。

【0043】ここで記録された映像が再生されるのは、スロー再生によって時間が伸長した分だけ遅れている。たとえば、図2に示すように、高速撮影映像9が再生されるのは、記録時間から見ると画像13が記録される時間であり、従って、4コマ分の遅れがある（遅延再生状態）。この遅れはメモリ21への書込速度とメモリ21からの読み出速度との関係から決まり、一定の遅れとなる。この遅れを解消するためには次の3つ方法が考えられる。即ち、（1）外部で強制的にリセットする方法、（2）所定時間をカウントして自動的にリセットする方法、（3）記録する撮影画像を間引き、空きメモリを少しづつ増やして、時間をかけて全てを空き状態にする方法、である。

【0044】これら3つの方法のうち、（1）の方法は単純明快であり、また、（2）の方法は、前述したリセットカウンタ55を用いれば良いので説明は省略するが、これら2つの方法を採用した場合は、リセットによって既にメモリ21に格納されたデジタル画像データが全て消去されて急に生映像モードに移行するので、遅延時間分の映像が飛び欠落する。

【0045】（3）の方法は次のように処理する。まず、スロー再生状態でメモリ21に空き領域がなくなると、即座に前述した遅延再生状態に移行し、一定時間この状態を続ける。その後、1画面分の記憶領域が空いても、メモリへの書き込み許可を与えず、この段階ではまだ書き込まない。もう1画面分、合計2コマ分の記憶領域が空き状態になって初めて書き込みを許可する。次には、メモリの記憶領域に画面3個分の空き領域ができるまで許可を与えない。このような手順でメモリ21の空き領域を増やし、遅延時間を徐々に低減して、時間をかけてメモリ21の全記憶領域を空き状態にする。このアルゴリズムは、状態制御回路43が衝突検出回路49の検出結果を受けて書きカウンタ45を制御することにより可能である。即ち、状態制御回路43は、本実施形態における空容量調整手段をも構成する。第3の方法を再生側から観察すると、スロー再生後に標準映像が再生され、その後早送り再生があつて（間引き記録状態）、また、生映像に戻るというように見える。この方法によれば、リセットした場合のように突然の飛びはなく、連続的な再生が得られるという利点がある。ただし、遅延の解消にはやや長い時間を要する。

【0046】図3は、以上の遅延解消方法による再生モードの切替りを説明する状態遷移図である。即ち、同図（a）は上記（1）および（2）のリセットのみによる遅延解消方法、（b）は上記（3）の早送り再生を含む遅延解消方法を示す。

【0047】図3（a）に示すように、リセットのみによる遅延解消方法によれば、生映像状態から外部または内部のトリガ信号によりスロー再生状態に遷移する。ここで上述した（1）の方法により強制リセットをかけば生映像状態に戻るが、スロー再生状態を継続してメモリ21が満杯となり遅延再生状態に遷移してから強制リセットしても良い。また、上述した（2）の方法では、メモリ21が満杯となり遅延再生状態に遷移してから自動的にリセットする。

【0048】また、図3（b）に示す遅延解消方法によれば、まず、生映像状態から、スロー再生状態と遅延再生状態を経て間引き記録状態（早送り再生状態）に遷移する。ここで、スロー再生状態、遅延再生状態、間引き記録状態のいずれの段階においても強制リセットは可能だが、上述の（3）の方法によれば、間引き記録状態を継続し、メモリ21の全記憶領域が空き状態となった後に生映像状態に戻る。

【0049】トリガ動作の変形例として、生映像状態において記録するメモリ21の番地と再生するメモリ21の番地との間にオフセット（変位）を加えると、生映像状態で遅延した生映像を見ることになる。この状態で、トリガ信号が入ると、このトリガ信号が入る直前の瞬間までの映像をスロー再生することが可能である。記録するメモリ番地と再生するメモリ番地との変位をメモリ容量の全体にわたって設定すれば、完全にトリガ前のスロー再生となる。また、同様にしてメモリ容量の半分について設定すれば、トリガ信号が入る前後の映像をスロー再生することができる。この機能は、オシロスコープに見られるプレー・ポスト・トリガ機能に類似しており、現象を解析するために役立つ機能である。

【0050】トリガ信号には、外部からの信号以外に、撮影している映像から、デジタル画像処理によって、高速に動く物体などを検出して内部的に生成することも可能である。CCDセンサ11は常に高速撮影を続けているので、時間的に連続した2枚の映像を比較するだけで、簡単にその動きを検出することができる。

【0051】図1に示す高速ビデオカメラ1においては、メモリ制御部6の動き検出回路19が撮像部4から供給される映像信号に基づいて内部トリガを生成する。

【0052】図4は、動き検出回路19の動作の一例を説明する模式図である。撮像画面の中央に小領域を設定し、物体がこの小領域を通過するとき、これを検出してトリガ信号を生成する。検出のための演算方法としては、小領域内の輝度について連続する2画面間で引き算を実施する。例えば、図4（a）に示すように、物体

(ボール) の動きが遅く低速で小領域を通過する場合には、(映像 (T+1) の輝度) - (映像 T の輝度)、(映像 (T+2) の輝度) - (映像 (T+1) の輝度) ともに引き算結果はあまり大きくなく、映像の変化も少ない。この一方、同図 (b) に示すように、物体 (ボール) の動きが速く高速で通過する場合、引き算結果は大きく、また映像の変化量も多い。このように、簡単な処理で、遅い変化は除去し、高速変化にのみ対応してトリガ信号を生成することができる。

【0053】ここでは最も簡略な方法を説明したが、より高度な画像処理を採用すれば、条件の厳しいトリガを生成することも勿論可能である。さらに、「学習モード」と呼ぶ特別な動作モードを予め用意すれば、トリガ位置を自動的に設定することも可能である。この学習モードへは図示しないプッシュスイッチなどで生映像状態から入ることができ、そのスイッチを離せば通常の生映像状態に戻る。まず、映像を  $4 \times 4$  程度に分割して、各領域で被写体の動作を検出する。次に、学習モードにして(スイッチを押して)、カメラに被写体を写し、実際にトリガさせたい動きを模擬的に動かす。例えば、図4のボールであれば、CCDセンサ1の前で実際にボールを横切らせる。学習モードでは、分割した各領域のどれが最も大きな変化を示すかを学習し、記憶する。また、学習モードに入る直前の画像の変化量をも記憶しておく。この直前の変化量はいわばノイズレベルに相当する。学習モードでの変化量と学習モード直前の変化量から適切な閾値を算出し、また、複数回の試行を学習させることで、領域的な広がりを最適化することができる。学習モードを抜けた後は、学習モードから算出したパラメータを使って、トリガ信号を生成する。この学習方法の特徴は、(1) 面倒な領域やレベルの設定が不要である、(2) このためスイッチ類を大幅に削減できる、(3) 回路が簡単なので実現し易い、などである。

【0054】本実施形態の高速ビデオカメラ1の出力形式として、アナログ形式では、NTSC互換信号やPAL互換信号などが適し、また、デジタル方式としては、IEEE1394規格のDV(デジタルビデオ)端子などが適する。デジタルの場合においても、NTSC互換のデジタル信号からの圧縮演算は、商用(家庭用)ビデオカメラの集積回路が既に存在するので、極めて容易に実施でき、その後の記録も市販の安価な装置を利用できる。

【0055】本発明にかかる高速ビデオカメラの実施例として、CCDセンサにSONY製ICX054、ADコンバータにアナログデバイス製AD9224、デジタル信号処理部にザイリンクス製XC4010E、メモリに日立製HM628511、DAコンバータにアナログデバイス製AD9760を用いて装置を試作した。試作品によれば、 $256 \times 240$  ドットの映像を約5msecで撮影し、その映像を6倍のスロー再生状態で再生して

NTSCビデオ信号に変換することができた。この試作品の体積は約450cm<sup>3</sup>であり、その重量は約300g、その消費電力は5Wであった。

【0056】このように、本発明によれば、従来製品に比べて明らかに小型、軽量、低消費電力であり、部品数から検討しても従来品に比べ桁違いに安価な高速ビデオカメラが実現できることが検証された。

#### 【0057】

【発明の効果】以上詳述したとおり、本発明は、以下の効果を奏する。

【0058】即ち、本発明によれば、高速で撮像できるとともに標準の複合ビデオ信号で出力でき、ユーザインターフェースに優れたビデオカメラを安価に提供することができる。これにより、高速ビデオ撮影が要求される各種の研究分野において、簡単に撮影できる方法として採用され、広く普及するであろう。その結果、これまで不明であった科学的、技術的疑問が解明され、科学技術の発展に貢献できると思われる。すぐに利用できる主な用途としては、走行する自動車の認識、スポーツなどの高速撮影、スロー再生の自動化、生物運動などの研究部門での撮影、工場の製造ラインでの高速移動中物体の目視検査などが考えられる。

#### 【図面の簡単な説明】

【図1】本発明にかかる高速ビデオカメラの実施の一形態の概略を示すブロック図である。

【図2】図1に示す高速ビデオカメラが備えるメモリ制御部の動作の一例を示す模式図である。

【図3】撮像映像に対する再生映像の遅延を解消する方法を説明する状態遷移図である。

【図4】図1に示す高速ビデオカメラが備える動き検出回路の動作を説明する模式図である。

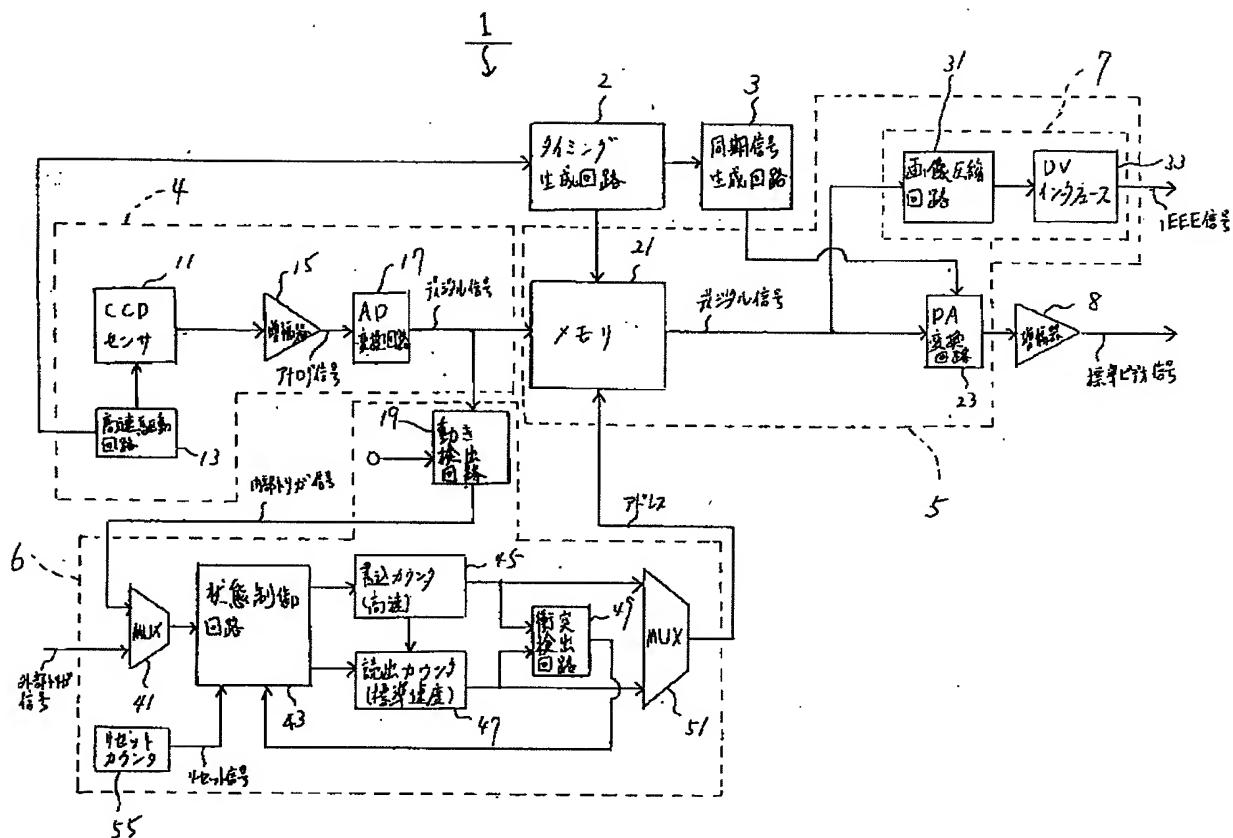
#### 【符号の説明】

- 1 高速ビデオカメラ
- 2 タイミング生成回路
- 3 同期信号生成回路
- 4 撮像部
- 5 デジタル信号処理部
- 6 メモリ制御部
- 7 デジタルインターフェース
- 8, 15 増幅器
- 11 CCDセンサ
- 13 高速駆動回路
- 17 AD変換回路
- 19 動き検出回路
- 21 メモリ
- 23 DA変換回路
- 31 画像圧縮回路
- 33 DVインターフェース
- 41, 51 マルチブレクサ
- 43 状態制御回路

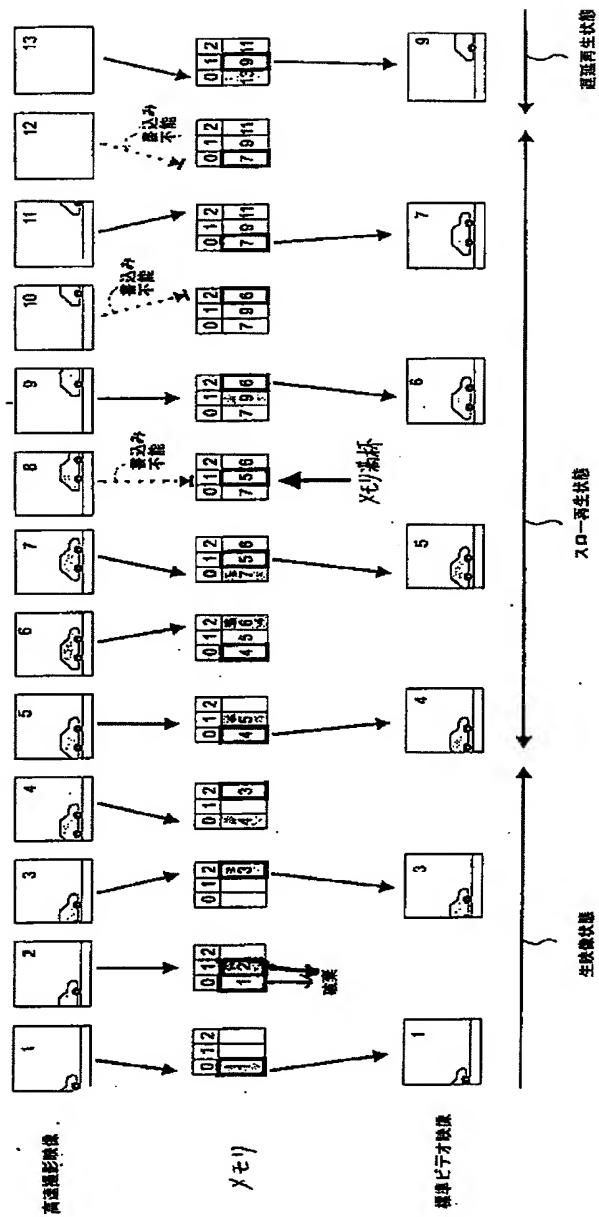
45 書込カウンタ  
47 読出カウンタ

\* 49 衝突検出回路  
\* 55 リセットカウンタ

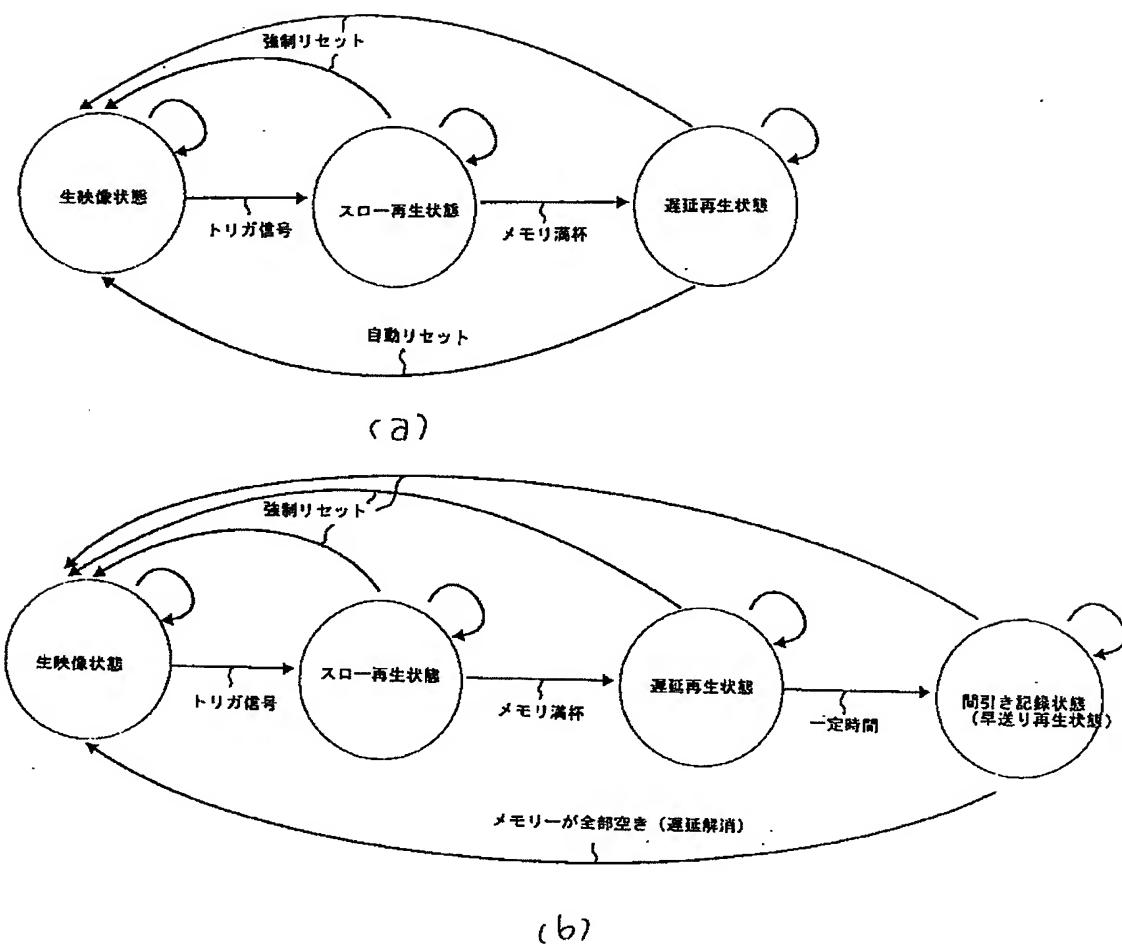
【図1】



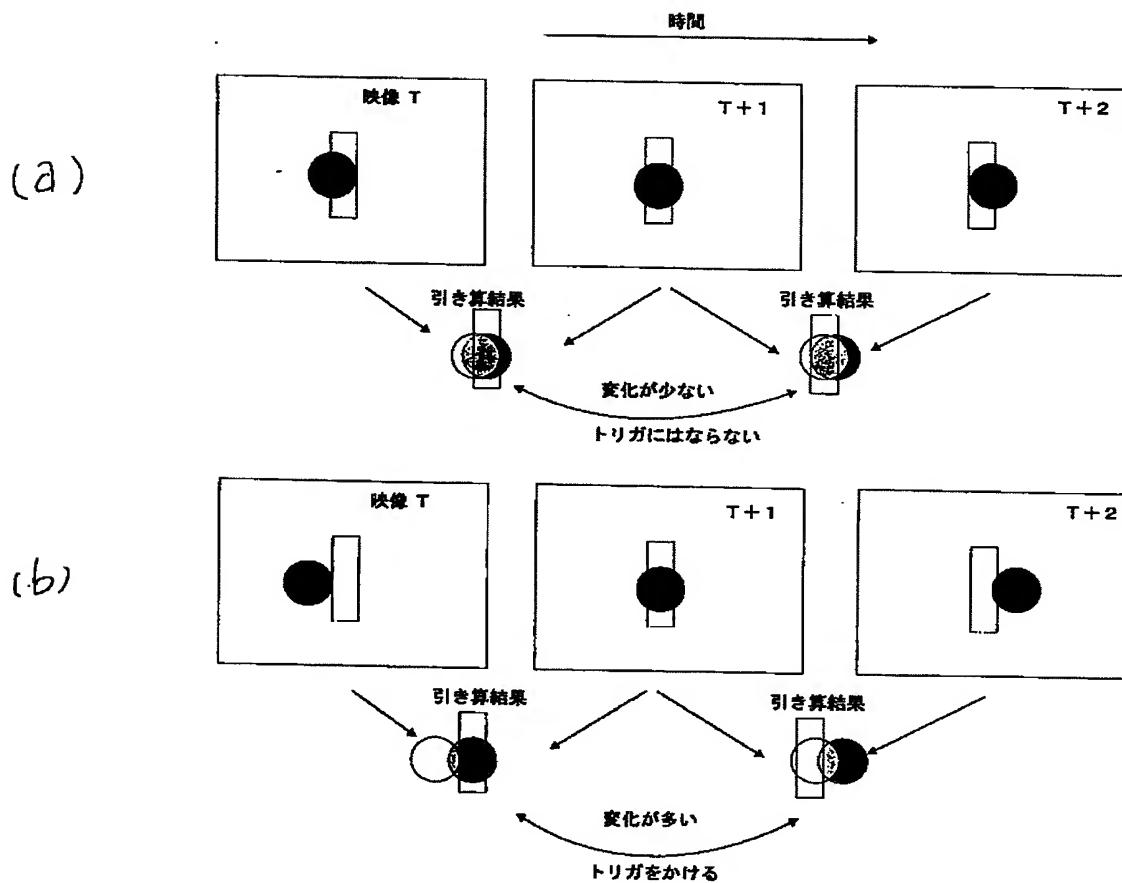
【図2】



【図3】



【図4】



## 【手続補正書】

【提出日】平成11年10月13日 (1999. 10. 13)

## 【手続補正1】

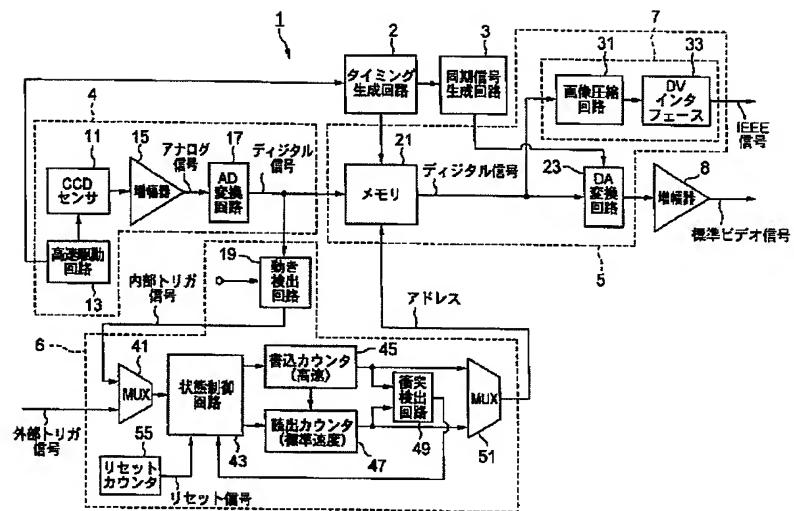
【補正対象書類名】図面

【補正対象項目名】全図

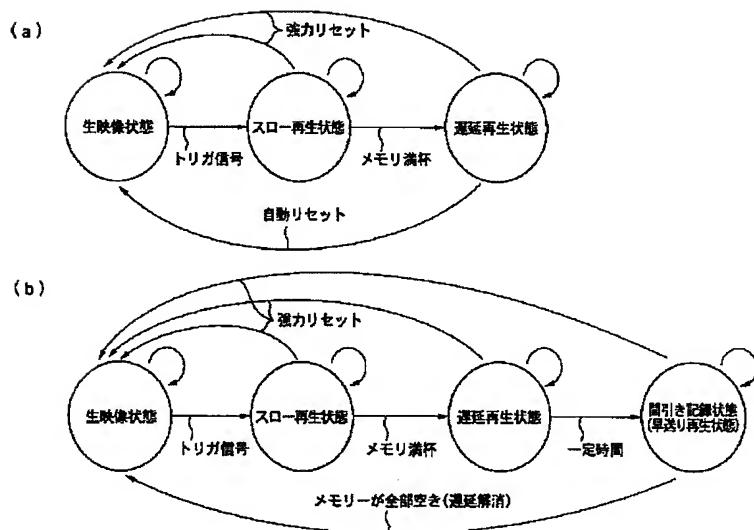
【補正方法】変更

【補正内容】

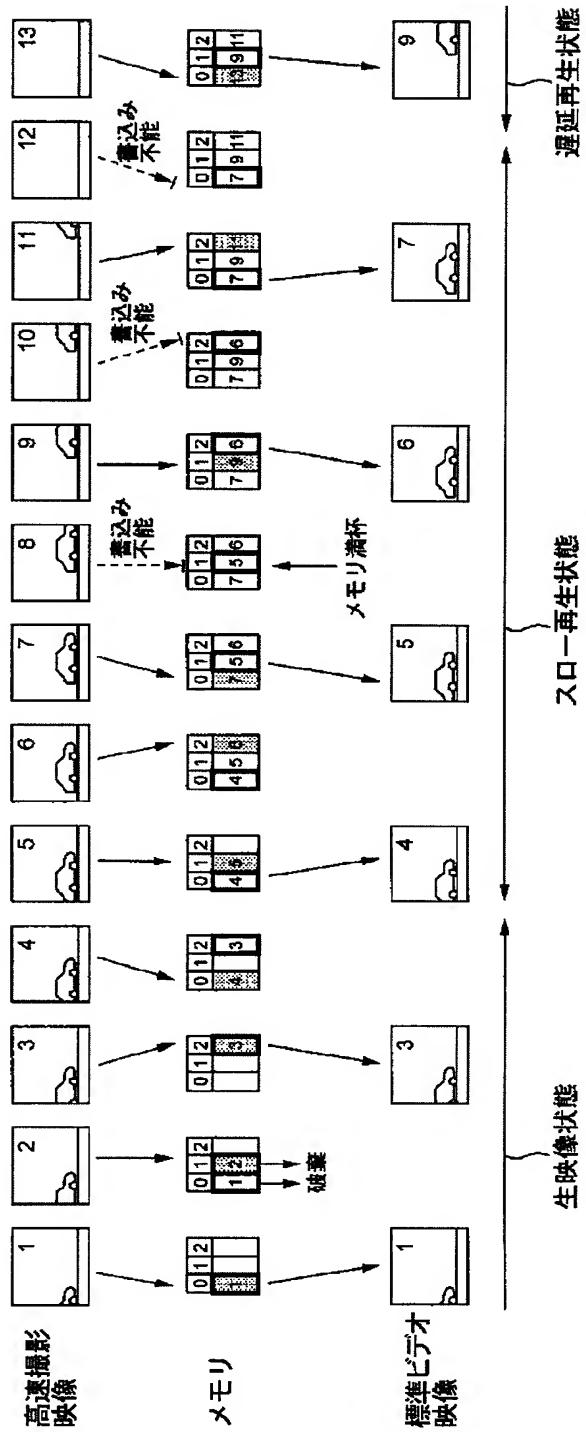
【図1】



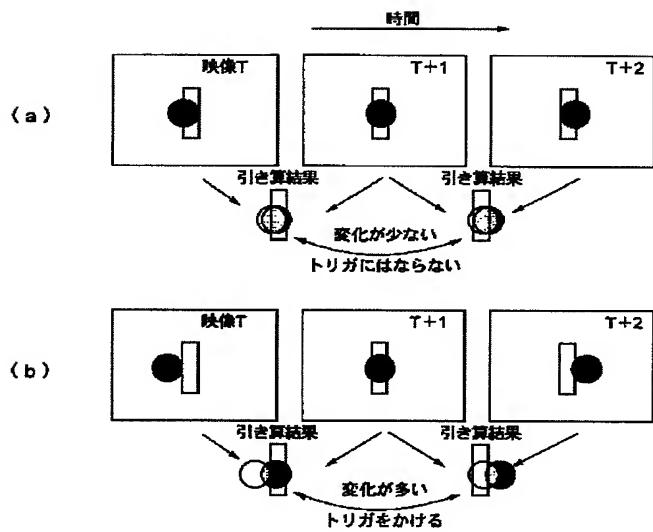
【図3】



【図2】



【図4】




---

フロントページの続き

Fターム(参考) 5C022 AA14  
 5C052 AA17 AC02 DD10 GA01 GB01  
 GC02 GD01 GD05 GD06 GE04  
 GF01 GF04  
 5C053 FA27 FA30 GA10 HA23 KA04  
 KA08 KA19 KA20 LA01